

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-102565

(P2001-102565A)

(43)公開日 平成13年4月13日(2001.4.13)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 29/778		H 0 1 L 21/28	3 0 1 B 4 M 1 0 4
21/338		29/80	H 5 F 1 0 2
29/812		29/48	M
21/28	3 0 1		
29/872			

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21)出願番号 特願平11-274003

(22)出願日 平成11年9月28日(1999.9.28)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 高田 賢治

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74)代理人 100083161

弁理士 外川 英明

Fターム(参考) 4M104 AA08 AA09 BB05 BB06 BB09

CC01 CC03 DD08 DD09 DD16

DD34 DD68 DD78

5F102 GJ10 GK04 GL04 GR04 GS01

GT01 HB01 HB07 HB09 HC01

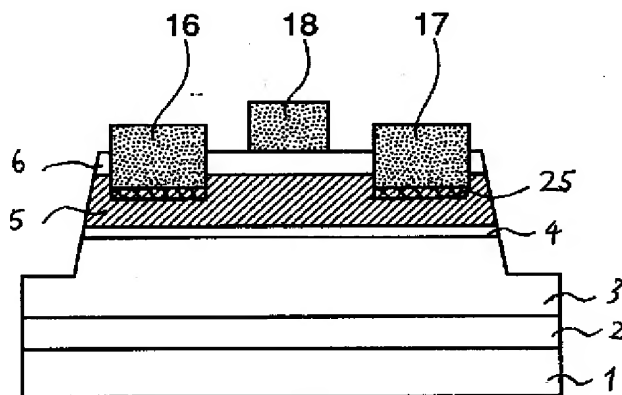
HC15 HC21

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 本発明の目的は、窒化ガリウム系材料を用いた電界効果トランジスタの製造方法を簡略化することである。

【解決手段】 窒化ガリウム系半導体層と、前記窒化ガリウム系半導体層とショットキー接合しているショットキー電極18と、前記窒化ガリウム系半導体層に選択的に形成され、結晶欠陥を有する結晶欠陥層25と、前記結晶欠陥層を介して、前記窒化ガリウム系半導体層とオーミック接合しているオーミック電極16、17を有し、前記ショットキー電極と前記オーミック電極は同一の金属であることを特徴とする半導体装置。



【特許請求の範囲】

【請求項1】 窒化ガリウム系半導体層と、
前記窒化ガリウム系半導体層とショットキー接合している
ショットキー電極と、
前記窒化ガリウム系半導体層に選択的に形成され、結晶
欠陥を有する結晶欠陥層と、
前記結晶欠陥層を介して、前記窒化ガリウム系半導体層
とオーミック接合しているオーミック電極を有し、
前記ショットキー電極と前記オーミック電極は同一の金
属であることを特徴とする半導体装置。

【請求項2】 前記結晶欠陥層には前記金属が混入して
いることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記金属がニッケルであることを特徴と
する請求項1記載の半導体装置。

【請求項4】 窒化ガリウム系半導体層に結晶欠陥を有
する結晶欠陥層を選択的に形成する結晶欠陥層形成工程
と、
前記窒化ガリウム系半導体層に所望の金属を接触させる
第1接触工程と、
前記結晶欠陥層に前記金属と同じ金属を接触させる第2
接触工程を備えることを特徴とする半導体装置の製造方
法。

【請求項5】 前記第1及び第2接触工程を同時に行う
ことを特徴とする請求項4記載の半導体装置の製造方
法。

【請求項6】 前記結晶欠陥層形成工程とは、前記窒化
ガリウム系半導体層にドライエッチングをすることによ
り、結晶欠陥を有する結晶欠陥層を形成することを特徴
とする請求項4記載の半導体装置の製造方法。

【請求項7】 前記第1及び第2接触工程後に、前記窒
化ガリウム系半導体層を250℃以上350℃以下の温
度でアニールする工程を備えることを特徴とする請求項
4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電界効果トランジ
スタの電極に関し、特に、窒化ガリウム系半導体を材料と
して用いた電界効果トランジスタの電極に関する。

【0002】

【従来の技術】窒化ガリウム系材料を用いた電界効果
トランジスタは、高出力かつ高周波で動作する素子として
期待され、MESFET、MISFET、HEMTなど
が提案されている（特開平10-261614）。窒化
ガリウム系半導体材料は、そのバンドギャップの大きさ
から砒化ガリウム系材料で用いている電極材料とは異な
る構造が要求される。一般に窒化ガリウム系半導体材料
で用いられるオーミック電極材料、例えば、Ti（下
層）／Al（上層）の積層構造では、窒化ガリウム系半
導体とオーミックコンタクトを形成する為に、900℃
という高温のアニール処理を行い、TiAl合金を形成

している（Z. Fan et. al, Appl. Phys. Lett. Vol.68,
No.12, p.1672, 1996）。しかし、高温アニール工程の再
現および信頼性の低さも含め、高温プロセスが他の工程
に影響を与える事も十分考えられ、高温アニール工程の
必要がないオーミック電極の構造および工程の改善が求
められている。

【0003】

【発明が解決しようとする課題】本発明の目的は、窒化
ガリウム系材料を用いた電界効果トランジスタの製造方
法を簡略化することである。

【0004】

【課題を解決するための手段】本願第1の発明は、窒化
ガリウム系半導体層と、前記窒化ガリウム系半導体層と
ショットキー接合しているショットキー電極と、前記窒
化ガリウム系半導体層に選択的に形成され、結晶欠陥を
有する結晶欠陥層と、前記結晶欠陥層を介して、前記窒
化ガリウム系半導体層とオーミック接合しているオーミ
ック電極を有し、前記ショットキー電極と前記オーミッ
ク電極は同一の金属であることを特徴とする半導体装置
である。

【0005】本願第2の発明は、前記結晶欠陥層には前
記金属が混入していることを特徴とする本願第1の発明
に記載の半導体装置である。

【0006】本願第3の発明は、前記金属がニッケルで
あることを特徴とする本願第1の発明に記載の半導体装
置である。

【0007】本願第4の発明は、窒化ガリウム系半導体
層に結晶欠陥を有する結晶欠陥層を選択的に形成する結
晶欠陥層形成工程と、前記窒化ガリウム系半導体層に所
望の金属を接触させる第1接触工程と、前記結晶欠陥層
に前記金属と同じ金属を接触させる第2接触工程を備え
ることを特徴とする半導体装置の製造方法である。

【0008】本願第5の発明は、前記第1及び第2接触
工程を同時に行うことを特徴とする本願第4の発明に記
載の半導体装置の製造方法である。

【0009】本願第6の発明は、前記結晶欠陥層形成工
程とは、前記窒化ガリウム系半導体層にドライエッチン
グをすることにより、結晶欠陥を有する結晶欠陥層を形
成することを特徴とする本願第4の発明に記載の半導体
装置の製造方法である。

【0010】本願第7の発明は、前記第1及び第2接触
工程後に、前記窒化ガリウム系半導体層を250℃以上
350℃以下の温度でアニールする工程を備えることを
特徴とする本願第4の発明に記載の半導体装置の製造方
法である。

【0011】本発明によれば、オーミック電極を形成す
る窒化ガリウム系オーミックコンタクト層表面のみに塩
素系ガスとアルゴン等の不活性ガスをを用いたドライエ
ッチング処理を行い、オーミック電極とショットキーゲ
ート電極を同時に、同一の金属膜あるいは金属の多層膜構

造で形成する事で、プロセスを簡略化し再現性に優れた電界効果トランジスタを作製することができる。

【0012】

【発明の実施の形態】本発明は、オーミック電極とショットキー電極を同時に、かつ同一の金属によって形成する窒化ガリウム系電界効果トランジスタに関する。オーミック電極と接触する半導体表面のみを塩素系ガスおよびアルゴン等の不活性ガスを用いたドライエッチング処理を行い、予めオーミック電極材料を蒸着させる半導体表面の自然酸化膜、吸着物質（例えば、カーボン（C））及び吸着分子を除去し、かつドライエッチング工程において生成する結晶欠陥があることにより電極材料の金属と半導体表面の界面反応が促進される事で、ショットキー電極として用いる金属と同一の材料を用いてオーミック電極を形成する。この特徴により、工程の短縮が可能となり、しかも、通常別々に行われるオーミック電極プロセスとゲート電極形成プロセスを同時に行うので、プロセス・ミス発生の確率を減らすことができ、再現性に優れた窒化ガリウム系電界効果トランジスタの製造が可能となる。

【0013】図1～11は、本発明の実施形態に係る電界効果トランジスタ（FET）の製造方法を示す概略工程図である。

【0014】まず、図1に示すように、MBE（分子線エピタキシャル）装置あるいはMOCVD（有機金属気相成長）装置等もちいて、サファイア基板1上に $i\text{-Ga}_x\text{N}_{1-x}$ バッファ層2、 $i\text{-Ga}_x\text{N}_{1-x}$ チャネル層3、 $i\text{-Al}_x\text{Ga}_{1-x}\text{N}$ スペーサ層4（ $0 < x < 0.5$ ）、 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 電子供給層5（ $0 < x < 0.5$ ）、 $i\text{-Al}_x\text{Ga}_{1-x}\text{N}$ ショットキーコンタクト層6（ $0 < x < 0.5$ ）を順に成長させる。

【0015】次に、図2、3に示すように、基板全面に熱CVD法等で SiO_2 膜7を堆積させた後、PEP（Photo Engraving Process）工程を経てレジスト8を用いて弗化アンモニウム等でウェットエッチングを行い、FET作製領域上の SiO_2 マスク7を形成する。続いて、レジスト7をアセトン等で除去した後、塩素系ガスおよびアルゴン等の不活性ガスを用いた例えばECR（Electron Cyclotron Resonance）-RIE（Reactive Ion Etching；反応性イオンエッチング）により素子分離を行う（図3の矢印9）。

【0016】次に、素子分離工程でマスクとして用いた SiO_2 膜7を弗化アンモニウム等で除去し、図4に示すように、基板全面に熱CVD法等で SiO_2 膜10を堆積させた後、PEP工程を経てレジスト11をマスクとして、図5に示すように、弗化アンモニウム等でオーミック電極形成領域上の SiO_2 膜を除去し $i\text{-Al}_x\text{Ga}_{1-x}\text{N}$ ショットキーコンタクト層6を開口し、ドライエッチング用の SiO_2 マスク10aを形成する。

【0017】続いて、レジスト11をアセトン等で除去

し、図6に示すように、 SiO_2 マスク10aを用い塩素系ガス（ Cl_2 ）及び不活性ガス（Ar）を用い、加速電圧300V、圧力 4.5×10^{-4} TorrでECR-RIEにより、オーミック電極形成領域の半導体（電子供給層5）表面を薄く（表面から深さ100Å）エッチングするエッチング処理12を行う。このエッチング処理12のエッチング深さは、基板最表面の $i\text{-Al}_x\text{Ga}_{1-x}\text{N}$ ショットキーコンタクト層6を除去し、 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 電子供給層5まで開口させる。電子供給層5には、RIEエッチング反応により生じた結晶欠陥を有する結晶欠陥層25が形成される。

【0018】次に、オーミック電極形成領域の半導体表面のエッチング処理12工程で用いた SiO_2 マスク10aを弗化アンモニウム等で除去し、図7に示すように基板全面に熱CVD法等で SiO_2 膜13を堆積させる。続いて、図8に示すようにPEP工程を経てレジスト14をマスクとして用い、図9に示すように、弗化アンモニウム等でオーミック電極形成領域、およびショットキー電極形成領域上の SiO_2 膜13を除去し開口する。

【0019】続いて、図10に示すように、電子ビーム蒸着装置を用いて同時に同一の金属多層膜を蒸着する。例えば、Ni層（下層）、Au層（上層）を順次積層する。次に、図11に示すようにリフトオフ工程を行い、オーミックソース電極16、オーミックドレイン電極17、ショットキーゲート電極18を同時に形成し、続いてアニール処理を行う。結晶欠陥層25があることによって、電極材料の金属との界面反応が促進されることで、通常ショットキー電極材料として用いられるNiを用いてオーミック電極を形成できる。

【0020】オーミック電極とショットキー電極を同一の金属で形成することから、アニール（熱処理）温度は両電極のアニール温度依存性の最良ポイントで行う必要がある。このアニール温度は250℃以上350℃以下が好ましい。250℃未満だとショットキー電極の方が劣化しやすく、350℃を超えるとオーミック電極の方が劣化しやすくなるからである。

【0021】図13に、塩素系ガスおよびアルゴン等の不活性ガスを用いたドライエッチング処理を行った窒化ガリウム系半導体表面へNi/Au積層構造の電極を形成し、TLM（Transmission Line Method）パターンを用いてオーミック電極に関する電流電圧特性を評価した結果を示す。この場合、未アニールの試料（ $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 電子供給層5とNi/Au電極の積層構造）20で良好なオーミック特性を示し、アニール温度を350℃に設定した試料21においても良好なオーミック特性を示す。しかし、アニール温度が500℃を超えるとオーミック特性の劣化が見られるようになり、600℃にてアニール処理した試料22では、オーミック特性を示さなくなりショットキー特性を示すようにな

る。

【0022】次に、図14にドライエッチング処理を行わず、Ni/Au積層構造のショットキー電極を形成し、ショットキーダイオード・パターンにて評価した結果を示す。未アニールの試料23においてもショットキー特性を示すが、アニール温度を350℃に設定した試料24においては、ショットキー障壁高さ、および理想因子 n 値とも改善が見られる。この改善傾向は450℃までのアニール条件で見られるが、500℃以上のアニール処理ではショットキー障壁高さ、および理想因子 n 値とも劣化が見られる。

【0023】よって、オーミックソース・ドレイン電極およびショットキーゲート電極にNi/Au積層構造を用いる場合、アニール処理は、500℃以下で行う必要がある。本実施形態では一例としてNi/Au積層電極について記述したが、これに限定されるものではなく、例えば、Niの代わりにPt等の同一の金属でオーミック電極とショットキー電極を形成できるものであれば良い。

【0024】また、電界効果トランジスタ構造についても、上記プレーナ型HEMT構造に限定するものではなく、オーミックコンタクト層として n 型Ga_{0.5}N層19を設けたリセス型HEMT構造(図12)でも良い。またAlGa_{0.5}N/GaN系HEMT構造に限定するものではなく、AlGa_{0.5}N/GaN系逆HEMT構造、AlGa_{0.5}N/GaN系Doped-Channel型ヘテロ接合FET、AlGa_{0.5}N/GaN系MESFET等も含まれる。

【0025】上述したように、本発明によれば、窒化ガリウム半導体層と接するオーミック電極と、窒化ガリウム半導体層と接するショットキーゲート電極を同一の金属膜あるいは同一の多層金属膜で形成することができ、電界効果トランジスタの製造方法を簡略化できる。また、一般に窒化ガリウム系半導体材料で用いられるオーミック電極材料を用いなくて良いため、高温(900℃ぐらい)のアニール処理を行わなくてすみ、再現性及び信頼性に優れた製造方法を提供できる。

【0026】

【発明の効果】本発明によれば、窒化ガリウム系材料を用いた電界効果トランジスタの製造方法を簡略化することができる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る電界効果トランジスタの概略工程図。

【図2】 本発明の実施形態に係る電界効果トランジスタの概略工程図。

【図3】 本発明の実施形態に係る電界効果トランジスタの概略工程図。

【図4】 本発明の実施形態に係る電界効果トランジスタの概略工程図。

【図5】 本発明の実施形態に係る電界効果トランジスタの概略工程図。

【図6】 本発明の実施形態に係る電界効果トランジスタの概略工程図。

【図7】 本発明の実施形態に係る電界効果トランジスタの概略工程図。

【図8】 本発明の実施形態に係る電界効果トランジスタの概略工程図。

【図9】 本発明の実施形態に係る電界効果トランジスタの概略工程図。

【図10】 本発明の実施形態に係る電界効果トランジスタの概略工程図。

【図11】 本発明の実施形態に係る電界効果トランジスタの概略工程図。

【図12】 本発明の実施形態の変形例に係る電界効果トランジスタの概略断面図。

【図13】 本発明の実施形態のオーミック電極の電流電圧特性を示す説明図

【図14】 本発明の実施形態のショットキー電極の電流電圧特性を示す説明図

【符号の説明】

- 1 サファイア基板
- 2 i -Ga_{0.5}Nバッファ層
- 3 i -Ga_{0.5}Nチャネル層
- 4 i -Al_{0.5}xGa_{1-x}Nスペーサ層
- 5 n -Al_{0.5}xGa_{1-x}N電子供給層
- 6 i -Al_{0.5}xGa_{1-x}Nショットキーコンタクト層
- 7 SiO₂膜
- 8 レジスト
- 9 素子分離用のドライエッチング工程
- 10 SiO₂膜
- 10a SiO₂マスク
- 11 レジスト
- 12 オーミック電極形成領域用のドライエッチング工程
- 13 SiO₂膜
- 14 レジスト
- 15 蒸着した金属膜あるいは多層金属膜
- 16 ソース電極
- 17 ドレイン電極
- 18 ショットキーゲート電極
- 19 n 型Ga_{0.5}N層
- 20 オーミック電極に関する未アニールの試料の電流電圧特性
- 21 オーミック電極に関するアニール温度350℃の試料の電流電圧特性
- 22 オーミック電極に関するアニール温度600℃の試料の電流電圧特性
- 23 ショットキー電極に関する未アニールの試料の

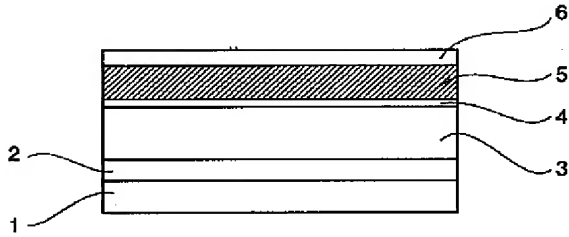
電流電圧特性

℃の試料の電流電圧特性

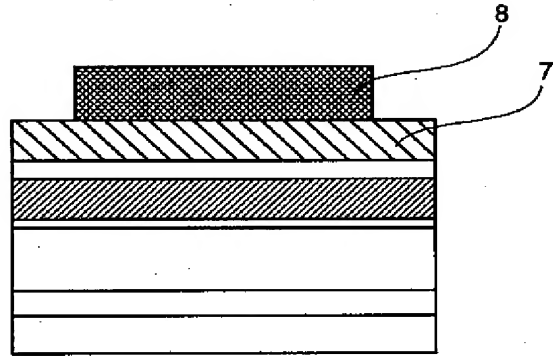
24 ショットキー電極に関するアニール温度350

25 結晶欠陥層

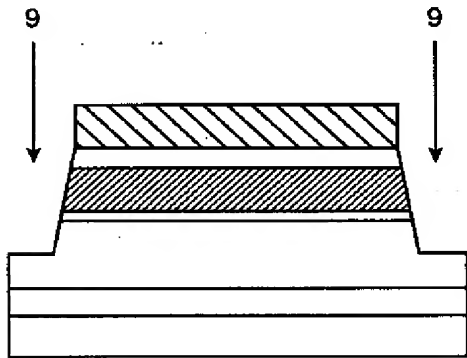
【図1】



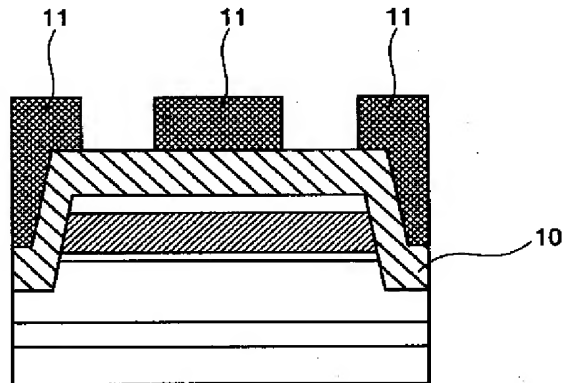
【図2】



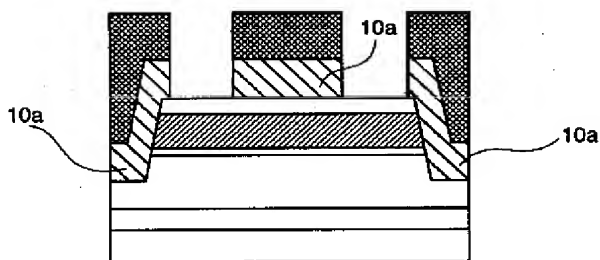
【図3】



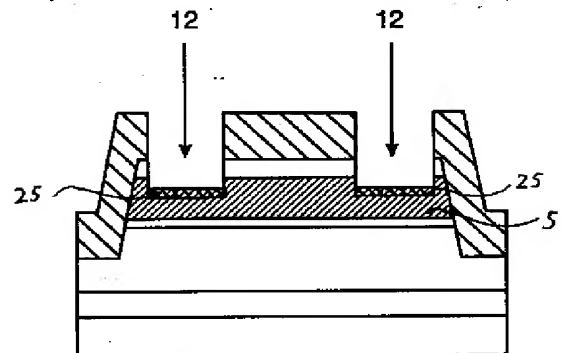
【図4】



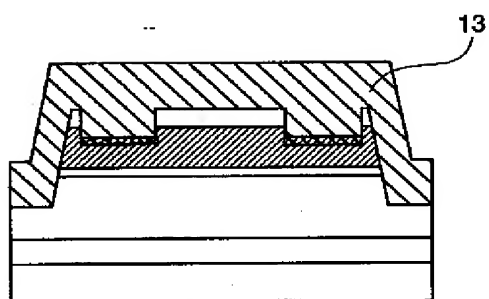
【図5】



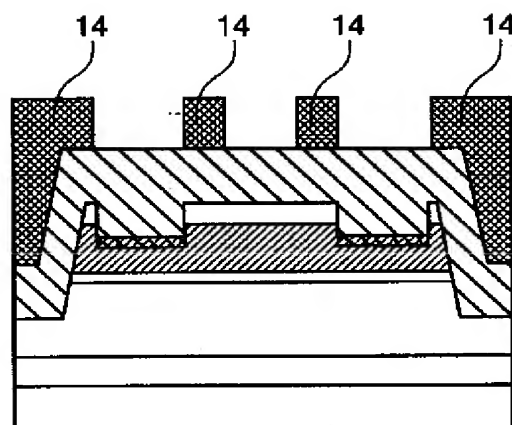
【図6】



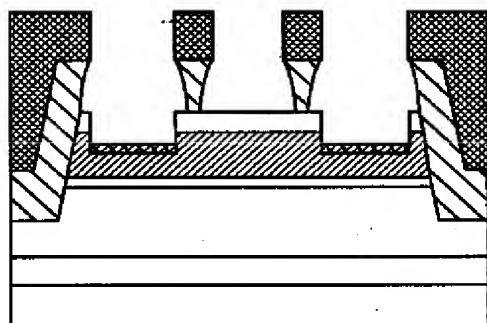
【図7】



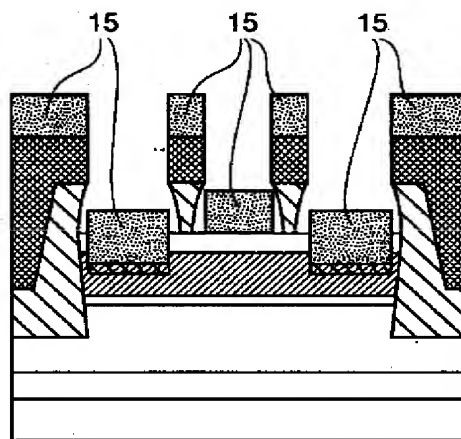
【図8】



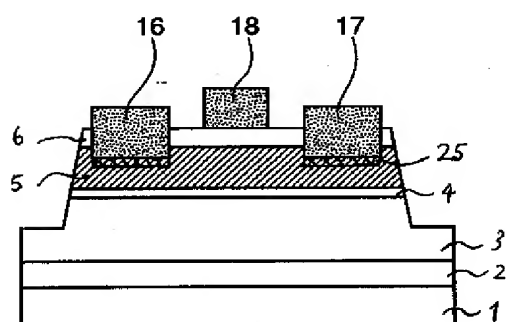
【図9】



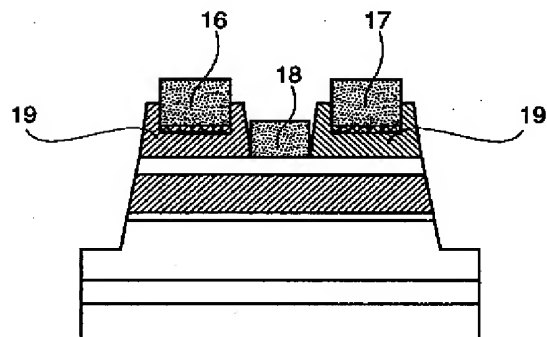
【図10】



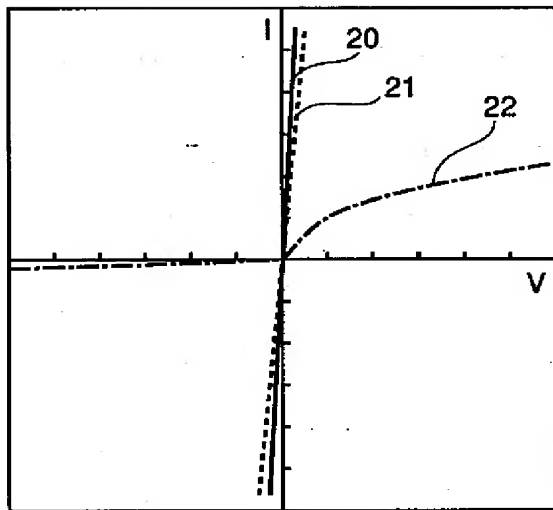
【図11】



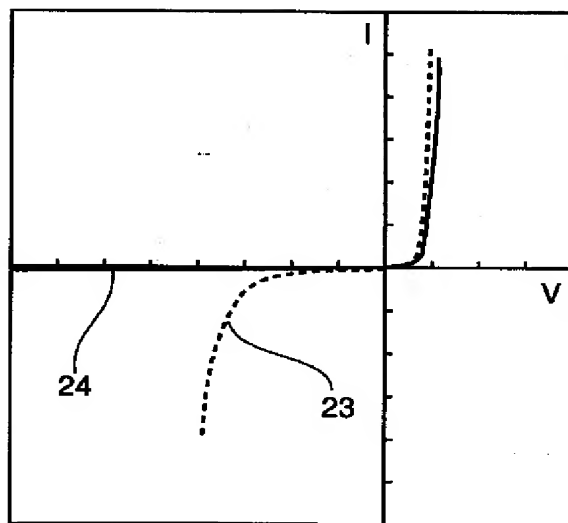
【図12】



【図13】



【図14】



PAT-NO: JP02001102565A
DOCUMENT-IDENTIFIER: JP 2001102565 A
TITLE: METHOD OF MANUFACTURING
SEMICONDUCTOR DEVICE
PUBN-DATE: April 13, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
TAKADA, KENJI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP11274003
APPL-DATE: September 28, 1999

INT-CL (IPC): H01L029/778 , H01L021/338 ,
H01L029/812 , H01L021/28 ,
H01L029/872

ABSTRACT:

PROBLEM TO BE SOLVED: To simplify the manufacturing method of a field effect transistor, using a gallium nitride material.

SOLUTION: A semiconductor device has a gallium nitride semiconductor layer, a Schottky electrode 18 which is Schottky-junctioned with the gallium

nitride semiconductor layer, a crystal defect layer 25 which is selectively formed in the gallium nitride semiconductor layer and has a crystal defect and ohmic electrodes 16 and 17, which are ohmic-junctioned with the gallium nitride semiconductor layer via the crystal defect layer. The Schoccky electrode and the ohmic electrodes are constituted of the same metal.

COPYRIGHT: (C) 2001, JPO